

Customer No. 31561
Application No.: 10/709,639
Docket No. 12811-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Wang et al.
Application No. : 10/709,639
Filed : 2004/05/19
For : METHOD OF FABRICATING A FLASH MEMORY
Examiner :
Art Unit : 2812

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 93103279,
filed on: 2004/2/12.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: August 16, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

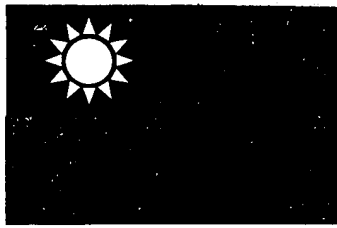
7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder

申請日：西元 2004 年 02 月 12 日
Application Date

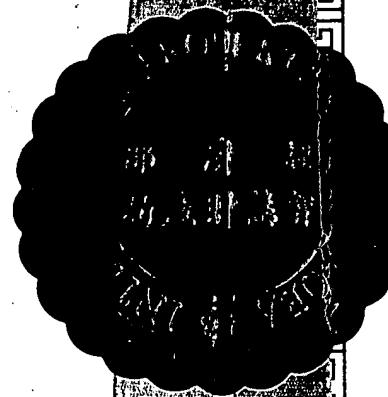
申請案號：093103279
Application No.

申請人：力晶半導體股份有限公司
Applicant(s)

局長
Director General

蔡練生

CERTIFIED COPY OF
PRIORITY DOCUMENT



發文日期：西元 2004 年 6 月 2 日
Issue Date

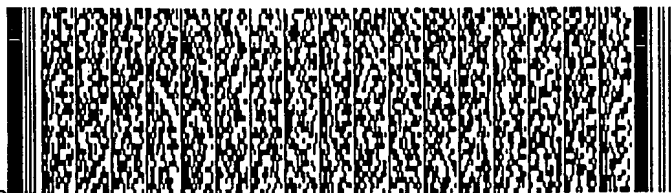
發文字號：09320572060
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	快閃記憶體的製造方法
	英 文	METHOD OF FABRICATING A FLASH MEMORY
二、 發明人 (共3人)	姓 名 (中文)	1. 王進忠 2. 杜建志
	姓 名 (英文)	1. WANG, LEO 2. DU, CHIEN CHIH
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 新竹縣湖口鄉安宅三街16號 2. 新竹市光復路一段354巷16弄23號6樓
	住居所 (英 文)	1. NO. 16, ANJAI 3RD ST., HUKOU SHIANG, HSINCHU, TAIWAN 303, R.O.C. 2. 6F, NO. 23, ALLEY 16, LANE 354, SEC. 1, KWANG-FU RD., HSINCHU, TAIWAN, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 力晶半導體股份有限公司
	名稱或 姓 名 (英文)	1. POWERCHIP SEMICONDUCTOR CORP.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區力行一路12號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. NO. 12, LI-HSIN RD. I, SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R.O.C.
	代表人 (中文)	1. 黃崇仁
	代表人 (英文)	1. HUANG, CHUNG JENG



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共3人)	姓 名 (中文)	3. 畢嘉慧
	姓 名 (英文)	3. SAYSAMONE, PITTIKOUN
	國 籍 (中英文)	3. 法國 FR
	住居所 (中 文)	3. 新竹市培英街43巷12號4樓
	住居所 (英 文)	3. 4F., NO. 12, LANE 43, PEIYING ST., HSINCHU CITY 300, TAIWAN (R.O.C.)
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：快閃記憶體的製造方法)

一種快閃記憶體的製造方法，此方法係先提供基底，且此基底中包括有多數元件隔離結構以定義出主動區，且此主動區之基底上係依序形成有穿隧介電層與罩幕層。然後，於基底上形成犧牲層。之後，對此犧牲層進行微影蝕刻製程，以保留下位於這些元件隔離結構上的犧牲層。繼之，在移除罩幕層後，於基底上形成導體層。接著，移除部分的導體層直到暴露出犧牲層的頂部。之後，在移除犧牲層後，於基底上形成閘間介電層。然後，在於閘間介電層上形成控制閘極後，於控制閘極二側之基底中形成源極區與汲極區。

五、英文發明摘要 (發明名稱：METHOD OF FABRICATING A FLASH MEMORY)

A method of fabricating a flash memory is provided. A substrate is provided and includes several isolation structures for defining an active region, and a tunnel dielectric layer and a mask layer are sequentially formed on the substrate in the active region. A sacrificed layer is formed. A photolithography-etching process is performed for the sacrificed layer to retain the



四、中文發明摘要 (發明名稱：快閃記憶體的製造方法)

五、英文發明摘要 (發明名稱：METHOD OF FABRICATING A FLASH MEMORY)

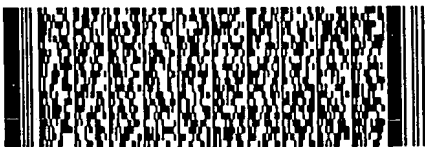
sacrificed layer on the isolation structures. After removing the mask, a conductive layer is formed over the substrate. The conductive layer is removed partially until the top section of the sacrificed layer is exposed. After the sacrificed layer is removed, an inter-gate dielectric layer is formed over the substrate. After a control gate is formed on the inter-gate dielectric layer, a



四、中文發明摘要 (發明名稱：快閃記憶體的製造方法)

五、英文發明摘要 (發明名稱：METHOD OF FABRICATING A FLASH MEMORY)

source region and a drain region are formed in the substrate beside the control gate.



六、指定代表圖

(一)、本案代表圖為：第____2D____圖

(二)、本案代表圖之元件代表符號簡單說明：

200：基底

206a：穿隧介電層

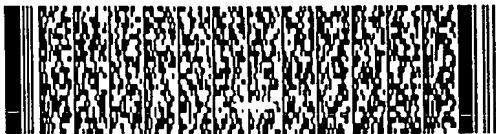
208a、218a：導體層

212：溝渠

214：元件隔離結構

216a：犧牲層

220：浮置閘極



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

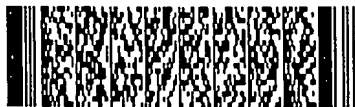
寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

本發明是有關於一種記憶體元件的製造方法，且特別是有關於一種快閃記憶體及浮置閘極的製造方法。

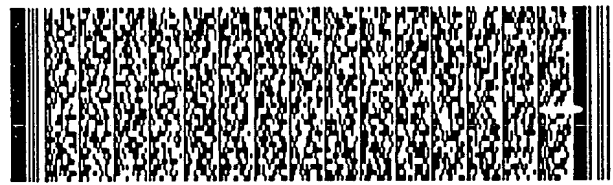
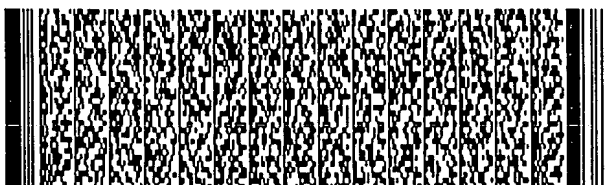
【先前技術】

快閃記憶體是一種可電除且可程式化之唯讀記憶體 (Electrically Erasable Programmable Read-Only Memory, EEPROM)，其具有可寫入、可抹除以及斷電後仍可保存資料的優點，因此是個人電腦和電子設備所廣泛採用的一種記憶體元件。此外，快閃記憶體為一種非揮發性記憶體 (Non-Volatile Memory, NVM) 元件，其具有非揮發性記憶體體積小、存取速度快及耗電量低的優點，且因其資料抹除 (Erasing) 時係採用「一塊一塊」 (Block by Block) 抹除的方式，所以更具有操作速度快的優點。

典型的快閃記憶體元件係以摻雜的多晶矽製作浮置閘極 (Floating Gate) 與控制閘極 (Control Gate)。而且，控制閘極係直接設置在浮置閘極上，浮置閘極與控制閘極之間係以介電層相隔，而浮置閘極與基底間係以穿隧氧化層 (Tunneling Oxide) 相隔 (亦即所謂堆疊閘極快閃記憶體)。此快閃記憶體元件是利用控制閘極上所施加之正或負電壓來控制浮置閘極中的電荷的注入與排出，以達到記憶的功能。

第1A圖至第1B圖所繪示為習知一種快閃記憶體元件之部分製造流程剖面示意圖。

請參照第1A圖，提供基底100，且在基底100中係已形



五、發明說明 (2)

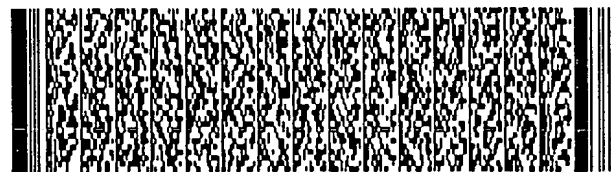
成有多數個元件隔離結構102以定義出元件之主動區104，而且在主動區104之基底100上係已形成有穿隧介電層106。

然後，於基底100上形成一層導體層108，以覆蓋元件隔離結構102與穿隧介電層106。接著，進行平坦化製程，移除部分的導體層108，並且使得導體層108的頂部表面平坦。

之後，請參照第1B圖，圖案化導體層108，以形成暴露部分元件隔離結構102之多數個溝渠107，且所保留下來之導體層108係作為浮置閘極110。然後，於基底100上形成閘間介電層112，以覆蓋浮置閘極110。接著，於閘間介電層112上形成控制閘極114。

在上述製程中，由於利用化學機械研磨法(Chemical Mechanical Polishing, CMP)來平坦化導體層108，而在進行化學機械研磨的過程中並無終止層作為研磨終止的參考依據。因此，每次製程所保留下來之導體層108的厚度不一，亦即浮置閘極110的厚度無法獲得有效地控制。

另一方面，若浮置閘極與控制閘極之間的閘極耦合率(Gate Couple Ratio, GCR)越大，則其操作所需之工作電壓將越低。而提高閘極耦合率之方法包括增加閘間介電層之電容或減少穿隧氧化層之電容。其中，增加閘間介電層電容之方法為增加控制閘極層與浮置閘極之間所夾的面積。因此，若所形成之溝渠107的尺寸越小，則浮置閘極與控制閘極之間所夾的面積會越大，閘極耦合率越大。然



五、發明說明 (3)

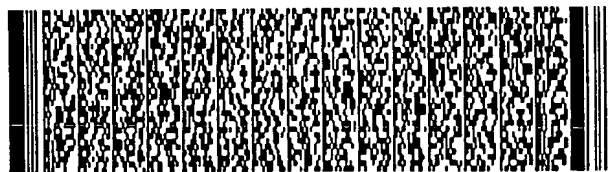
而，在圖案化導體層108的過程中，溝渠107的尺寸係受到微影蝕刻製程其對於微小尺寸的製程限制，亦即無法形成更微小的溝渠107。因此使得控制閘極與浮置閘極之間所夾的面積無法更進一步增加，進而影響元件的效能。

【發明內容】

有鑑於此，本發明的目的就是在提供一種快閃記憶體之製造方法，以增加浮置閘極與控制閘極之間的閘極耦合率，進而提升元件效能。

本發明的再一目的是提供一種浮置閘極的製造方法，以解決習知浮置閘極厚度不易控制的問題。

本發明提出一種快閃記憶體的製造方法，此方法係先提供基底，且此基底上係已依序形成有穿隧介電層與圖案化之罩幕層。之後，以此罩幕層為蝕刻罩幕，圖案化穿隧介電層與基底，以於基底中形成多數個溝渠。然後，於這些溝渠中填入絕緣材料，以形成多數個元件隔離結構。接著，於基底上形成犧牲材料層，以覆蓋罩幕層與元件隔離結構。之後，圖案化犧牲材料層，以於元件隔離結構上形成犧牲層。繼之，移除罩幕層，以暴露出穿隧介電層。然後，於基底上形成導體層。接著，移除部分的導體層，直到暴露出犧牲層的頂部，以形成浮置閘極，其中移除部分的方法，且導體層的材質與犧牲層的材質具有不同之蝕刻選擇性。接著，移除犧牲層。之後，於基底上形成閘間介電層，以覆蓋浮置閘極。繼之，於閘間介電層上形成控制閘



五、發明說明 (4)

極。然後，於控制閘極二側之基底中分別形成源極區與汲極區。

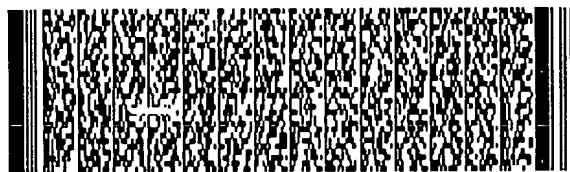
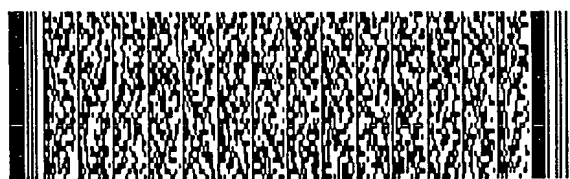
由於本發明所形成之快閃記憶體其浮置閘極的厚度與犧牲材料層的厚度有關，因此浮置閘極的厚度可藉由所形成之犧牲材料層的厚度來決定，於是浮置閘極的厚度可以獲得較好的控制。

此外，由於本發明可以藉由形成的微小尺寸之犧牲層來提升控制閘極與浮置閘極之間所夾的面積，因此閘極耦合率可以獲得提升，進而提高元件效能。

本發明提出一種浮置閘極的製造方法，此方法係先提供基底，且此基底中包括有多數個元件隔離結構以定義出主動區，且此主動區之基底上係依序形成有穿隧介電層與主罩幕層。然後，於基底上形成犧牲層。接著，對此犧牲層進行微影蝕製，以保留下位於這些元件隔離結構上之犧牲層。之後，移除罩幕層，以暴露出穿隧介電層。繼之，於基底上形成導體層。接著，移除部分的導體層直到暴露出犧牲層的頂部。其中，移除部分的導體層直到暴露出犧牲層的頂部之方法例如是化學機械研磨法，且此導體層的材質與犧牲層的材質具有不同之蝕刻選擇性。然後，移除犧牲層。

由於本發明所形成之浮置閘極其厚度與犧牲層的厚度有關，因此浮置閘極的厚度可藉由所形成之犧牲層的厚度來決定，於是浮置閘極的厚度可以獲得較好的控制。

為讓本發明之上述和其他目的、特徵、和優點能更明



五、發明說明 (5)

顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

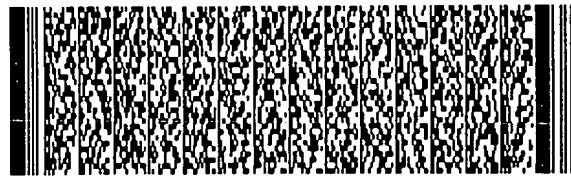
【實施方式】

第2A圖至第2E圖所示，其繪示依照本發明一較佳實施例的一種快閃記憶體之製造流程剖面示意圖。

首先，請參照第2A圖，提供基底200，此基底200例如是矽基底。然後，在基底200上依序形成穿隧介電層206、導體層208與圖案化之罩幕層210。圖案化之罩幕層210具有開口202，此開口202暴露後續預定形成元件隔離結構之區域。

其中，穿隧介電層206的材質例如是氧化矽，其形成方法例如是熱氧化法，而所形成之厚度例如是70埃至90埃。此外，導體層208的材質例如是摻雜多晶矽，其形成方法例如是利用化學氣相沈積法形成一層未摻雜多晶矽層（未繪示）後，進行離子植入步驟以形成之，而所形成之厚度例如是500埃至1000埃。另外，罩幕層210的材質包括與導體層208、穿隧介電層206及基底200具有不同蝕刻選擇性之材質，其例如是氮化矽，且其厚度例如是1000埃至1500埃。圖案化罩幕層210之方法例如是微影蝕刻技術。

之後，請參照第2B圖，以圖案化之罩幕層210為蝕刻罩幕，移除部分導體層208、穿隧介電層206，並於基底200中形成多數個溝渠212，而於基底200上留下穿隧介電層206a與導體層208a。其中，所形成之溝渠212的深度例如是3000埃至4000埃。



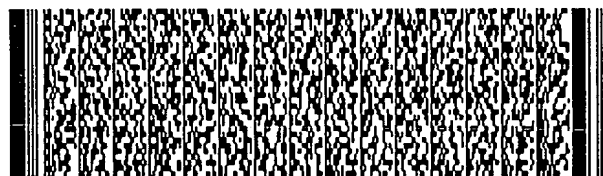
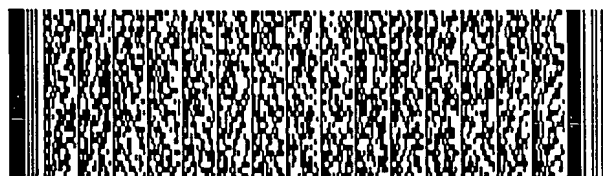
五、發明說明 (6)

然後，於溝渠212中填入絕緣材料，以形成多數個元件隔離結構214，並定義出主動區204。元件隔離結構214的形成方法例如是利用高密度電漿化學氣相沈積法(High Density Plasma Chemical Vapor Deposition, HDP-CVD)，形成一整層絕緣材料層(未繪示)後，再利用化學機械研磨法移除溝渠212以外之絕緣材料層以形成之。

值得注意的是，在上述的步驟中係先形成穿隧介電層206，再進行形成元件隔離結構214的相關步驟。因此可以避免因先形成元件隔離結構214，而於後續進行熱製程以形成穿隧介電層206的過程中，造成在鄰近元件隔離結構214處形成鳥嘴(Bird's Beak)，進而影響元件效能的問題。

接著，於基底200上形成犧牲材料層216，以覆蓋罩幕層210與元件隔離結構214。其中，犧牲材料層216的材質包括與後續所形成之導體層的材質具有不同蝕刻選擇性之材料，例如是氮化矽。此犧牲材料層216之形成方法例如是化學氣相沈積法，而所形成之厚度例如是1000埃至2000埃。

之後，請參照第2C圖，圖案化犧牲材料層216，以於元件隔離結構214上形成犧牲層216a。在本實施例中，由於犧牲材料層216與罩幕層210的材質為相同(例如皆為氮化矽)，因此在圖案化犧牲材料層216的過程，係一併移除罩幕層210。而導體層208a由於與犧牲材料層216及罩幕層210具有不同之蝕刻選擇性，因此可以被保留下來。



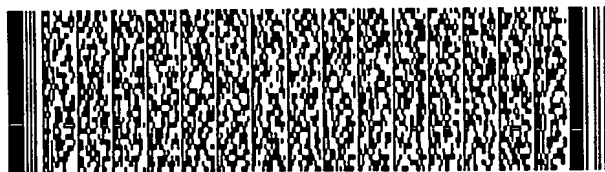
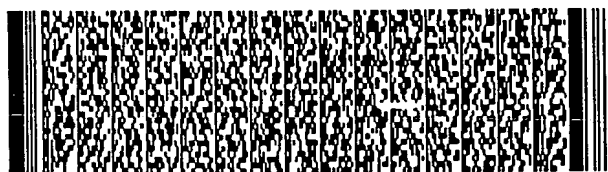
五、發明說明 (7)

然後，於基底200上形成導體層218。由於導體層218下方係已先形成有導體層208a，因此導體層218可更易形成於其上。此外，導體層218的材質例如是摻雜多晶矽，其形成方法例如是利用化學氣相沈積法形成一層未摻雜多晶矽層(未繪示)後，進行離子植入步驟以形成之。

之後，請參照第2D圖，移除部分的導體層218直到暴露出犧牲層216a的頂部，且保留下來的導體層218a與導體層208a係構成浮置閘極220。其中，移除部分的導體層218直到暴露出犧牲層216a的頂部之方法例如是化學機械研磨法，且在研磨的過程中係以與其具有不同蝕刻選擇性之犧牲層216a作為研磨終止層，因此所保留下來的導體層218a之厚度會與犧牲層216a的厚度相同。於是，浮置閘極220的厚度可以獲得較好的控制。換言之，在每一次製程中，導體層218a的厚度可以藉由形成相同厚度的犧牲層216a而保持一致，進而使得浮置閘極220的厚度保持一致。

此外，在先前形成犧牲層216a的過程中，由於可以形成尺寸較小的犧牲層216a，因此可以增加導體層218a的尺寸，進而使得浮置閘極220與控制閘極之間所夾的面積增加，而使得閘極耦合率增加。

繼之，請參照第2E圖，移除犧牲層216a，此犧牲層216a的移除方法包括濕式蝕刻法，其例如是利用磷酸溶液作為蝕刻液。接著，於基底200上形成閘間介電層222，以覆蓋浮置閘極220。其中，閘間介電層222之材質例如是氧化矽/氮化矽/氧化矽，且其形成方法例如是先以熱氧化法



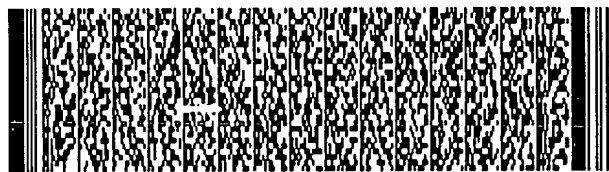
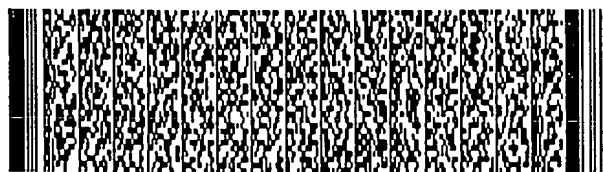
五、發明說明 (8)

形成一層氧化矽層，再利用化學氣相沈積法形成氮化矽層與另一層氧化矽層，而所形成之氧化矽/氮化矽/氧化矽的厚度例如是40埃至50埃/45埃至70埃/50埃至70埃。當然，閘間介電層222之材質也可以是氧化矽/氮化矽等。

繼之，於閘間介電層222上形成控制閘極224。其中，控制閘極224之材質例如是摻雜多晶矽，且其形成方法例如是利用化學氣相沈積法形成一整層未摻雜多晶矽層(未繪示)後，進行離子植入步驟以形成之。之後，於控制閘極224二側之基底200中分別形成源極區(未繪示)與汲極區(未繪示)，其形成方法例如是進行離子植入步驟，以於控制閘極224二側之基底200中植入摻質而形成之。而後續完成快閃記憶體之製程為熟習此技術者所週知，在此不再贅述。

值得注意的是，本發明除了上述之實施例外，在另一較佳實施例中，在如第2C圖所示之移除罩幕層210的步驟之後，更包括先移除導體層208a，之後再依序進行形成導體層218以及後續如第2D圖至第2E圖所示之步驟，以完成快閃記憶體的製作。如此所形成之快閃記憶體其浮置閘極220係僅由導體層218a所構成。另外，在又一較佳實施例中，在如第2A圖所示之提供基底200的步驟中，係僅於基底200上形成穿隧介電層206與罩幕層210，因此所形成之快閃記憶體其浮置閘極220係同樣僅由導體層218a所構成。

綜上所述，本發明至少具有下面的優點：



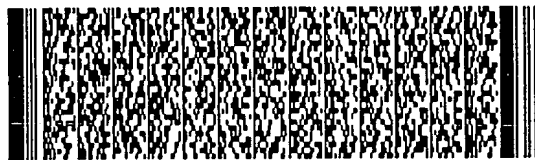
五、發明說明 (9)

1. 由於本發明所形成之快閃記憶體其浮置閘極的厚度與犧牲材料層的厚度有關，因此浮置閘極的厚度可藉由所形成之犧牲材料層的厚度來決定，於是浮置閘極的厚度可以獲得較好的控制。

2. 由於本發明可以藉由形成微小尺寸之犧牲層來提升控制閘極與浮置閘極之間所夾的面積，因此閘極耦合率可以獲得提升，進而提高元件效能。

3. 由於本發明係先形成穿隧介電層，再進行形成元件隔離結構的相關步驟。因此可以避免因先形成元件隔離結構，而於後續進行熱製程以形成穿隧介電層的過程中，造成在鄰近元件隔離結構處形成鳥嘴，進而影響元件效能的問題。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A圖至第1B圖所繪示為習知一種快閃記憶體之製造流程剖面示意圖。

第2A圖至第2E圖所繪示為本發明較佳實施例之一種快閃記憶體之製造流程剖面示意圖。

【圖式標記說明】

- 100、200：基底
- 102、214：元件隔離結構
- 104、204：主動區
- 106、206、206a：穿隧介電層
- 107、212：溝渠
- 108、208、208a、218、218a：導體層
- 110、220：浮置閘極
- 112、222：閘間介電層
- 114、224：控制閘極
- 202：開口
- 210：罩幕層
- 216：犧牲材料層
- 216a：犧牲層



六、申請專利範圍

1. 一種快閃記憶體的製造方法，包括：

提供一基底，且該基底上係已依序形成有一穿隧介電層與圖案化之一單幕層；

以該單幕層為一蝕刻單幕，圖案化該穿隧介電層與該基底，以於該基底中形成多數個溝渠；

於該些溝渠中填入一絕緣材料，以形成多數個元件隔離結構；

於該基底上形成一犧牲材料層，以覆蓋該單幕層與該些元件隔離結構；

圖案化該犧牲材料層，以於該些元件隔離結構上形成一犧牲層；

移除該單幕層，以暴露出該穿隧介電層；

於該基底上形成一第一導體層；

移除部分該第一導體層直到暴露出該犧牲層的頂部，以形成一浮置閘極；

移除該犧牲層；

於該基底上形成一閘間介電層，以覆蓋該浮置閘極；

於該閘間介電層上形成一控制閘極；以及

於該控制閘極二側之該基底中分別形成一源極區與一汲極區。

2. 如申請專利範圍第1項所述之快閃記憶體的製造方法，其中該犧牲材料層的材質與該第一導體層的材質具有不同之蝕刻選擇性。

3. 如申請專利範圍第2項所述之快閃記憶體的製造方



六、申請專利範圍

法，其中該犧牲材料層的材質包括氮化矽。

4. 如申請專利範圍第1項所述之快閃記憶體之製造方法，其中移除部分該第一導體層直到暴露出該犧牲層的頂部之方法包括化學機械研磨法。

5. 如申請專利範圍第1項所述之快閃記憶體之製造方法，其中該犧牲材料層與該罩幕層的材質為相同，且在圖案化該犧牲材料層的過程，同時移除該罩幕層。

6. 如申請專利範圍第5項所述之快閃記憶體之製造方法，其中該犧牲材料層與該罩幕層的材質包括氮化矽。

7. 如申請專利範圍第1項所述之快閃記憶體之製造方法，其中該第一導體層的材質包括摻雜多晶矽。

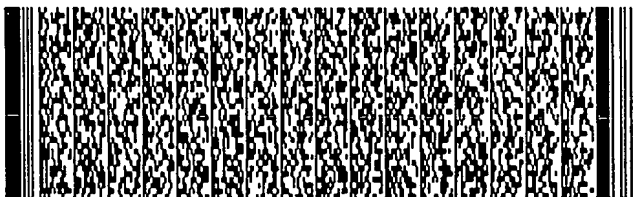
8. 如申請專利範圍第1項所述之快閃記憶體之製造方法，其中所提供之該基底的該穿隧介電層與該罩幕層之間更包括形成有一第二導體層，且在移除該罩幕層後係暴露出該第二導體層。

9. 如申請專利範圍第8項所述之快閃記憶體之製造方法，其中在移除該罩幕層之後與形成該第一導體層之前，更包括移除該第二導體層。

10. 如申請專利範圍第8項所述之快閃記憶體之製造方法，其中該第二導體層的材質包括摻雜多晶矽。

11. 一種浮置閘極的製造方法，包括：

提供一基底，該基底中包括有多數個元件隔離結構以定義出一主動區，且該主動區之該基底上係依序形成有一穿隧介電層與一罩幕層；



六、申請專利範圍

於該基底上形成一犧牲層；

對該犧牲層進行一微影蝕刻製程，以保留位於該些元件隔離結構上之該犧牲層；

移除該罩幕層，以暴露出該穿隧介電層；

於該基底上形成一第一導體層；

移除部分該第一導體層直到暴露出該犧牲層的頂部；

以及

移除該犧牲層。

12. 如申請專利範圍第11項所述之浮置閘極的製造方法，其中該犧牲層的材質與該第一導體層的材質具有不同之蝕刻選擇性。

13. 如申請專利範圍第12項所述之浮置閘極的製造方法，其中該犧牲層的材質包括氮化矽。

14. 如申請專利範圍第11項所述之浮置閘極的製造方法，其中移除部分該第一導體層直到暴露出該犧牲層的頂部之方法包括化學機械研磨法。

15. 如申請專利範圍第11項所述之浮置閘極的製造方法，其中該犧牲層與該罩幕層的材質為相同，且在形成該犧牲層的過程，同時移除該罩幕層。

16. 如申請專利範圍第15項所述之浮置閘極的製造方法，其中該犧牲層與該罩幕層的材質包括氮化矽。

17. 如申請專利範圍第11項所述之浮置閘極的製造方法，其中該第一導體層的材質包括摻雜多晶矽。

18. 如申請專利範圍第11項所述之浮置閘極的製造方



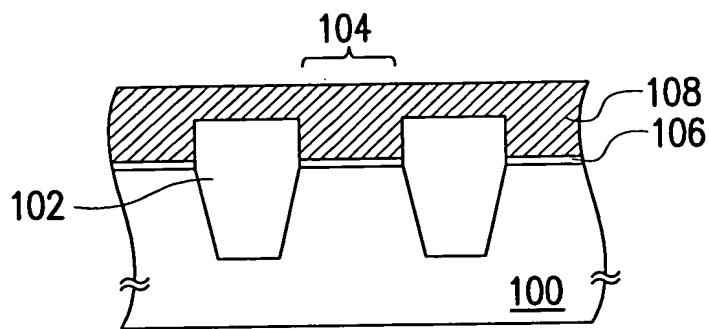
六、申請專利範圍

法，其中所提供之該基底的該穿隧介電層與該罩幕層之間更包括形成有一第二導體層，且在移除該罩幕層後係暴露出該第二導體層。

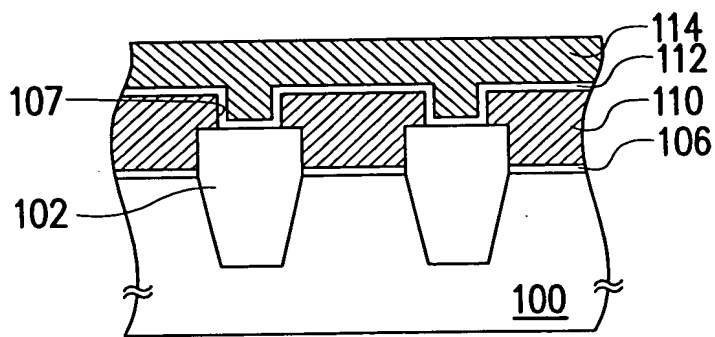
19. 如申請專利範圍第18項所述之浮置閘極的製造方法，其中在移除該罩幕層之後與形成該第一導體層之前，更包括移除該第二導體層。

20. 如申請專利範圍第18項所述之浮置閘極的製造方法，其中該第二導體層的材質包括摻雜多晶矽。

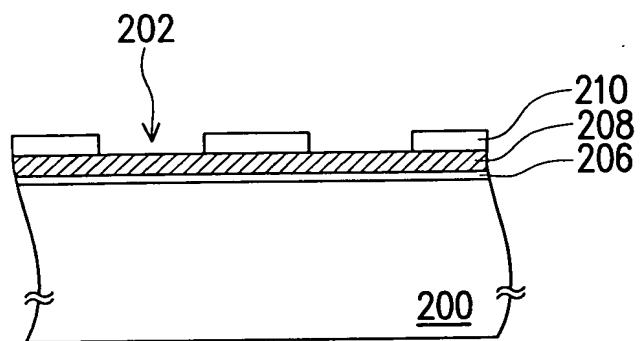




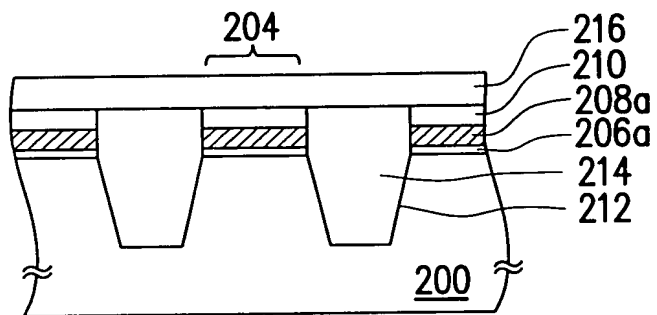
第 1A 圖



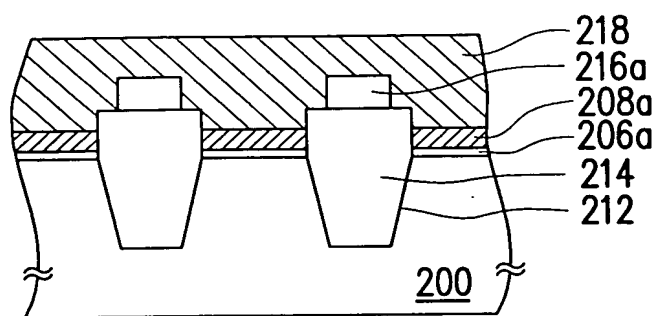
第 1B 圖



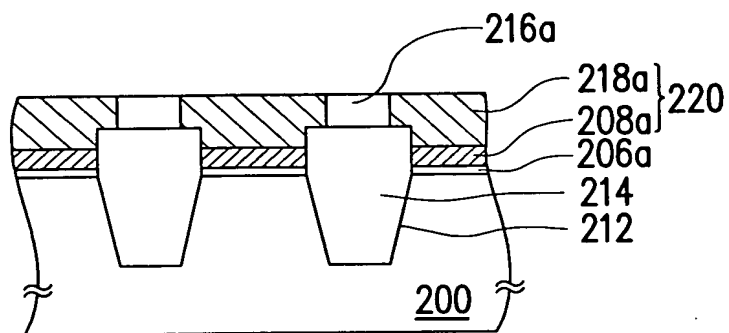
第 2A 圖



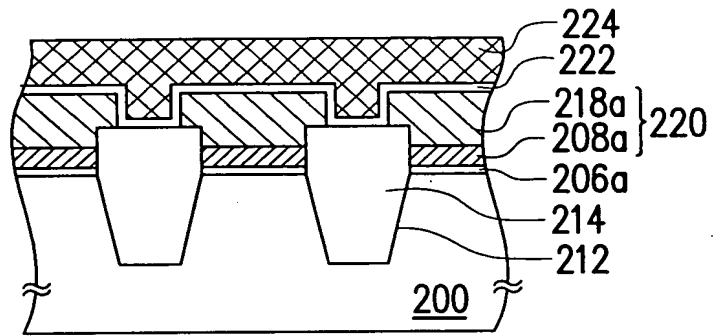
第 2B 圖






第 2C 圖



第 2D 圖




第 2E 圖



100

100

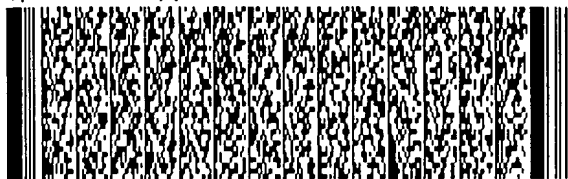
100



100

100

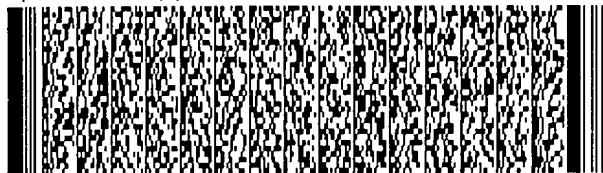
第 12/21 頁



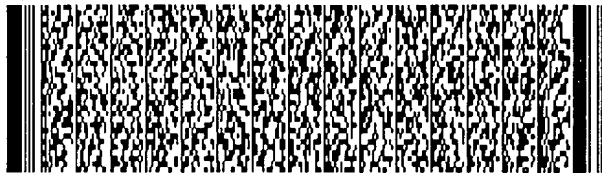
第 12/21 頁



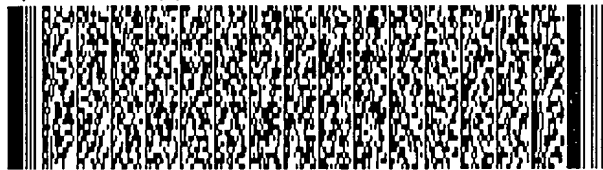
第 13/21 頁



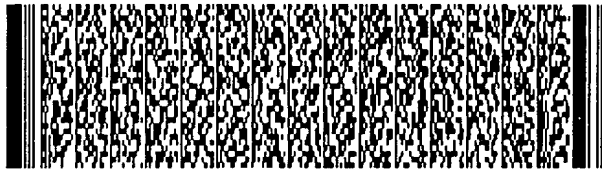
第 13/21 頁



第 14/21 頁



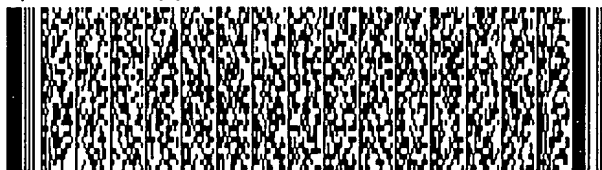
第 14/21 頁



第 15/21 頁



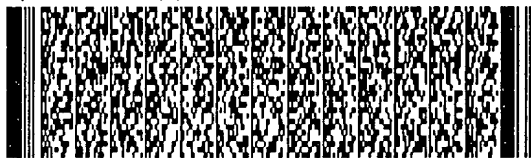
第 15/21 頁



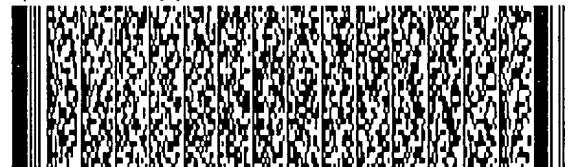
第 16/21 頁



第 16/21 頁



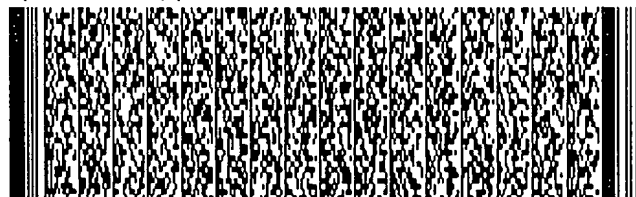
第 17/21 頁



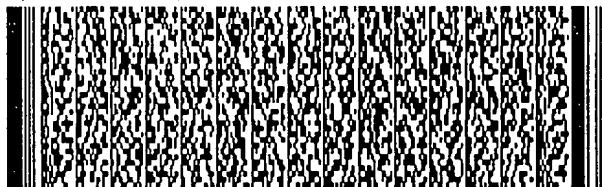
第 18/21 頁



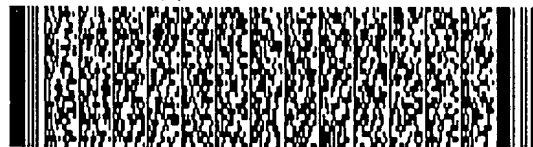
第 19/21 頁



第 20/21 頁



第 21/21 頁



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.